

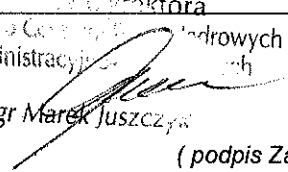
OZ/14/2015

OGŁOSZENIE O ZAPROSZENIU DO SKŁADANIA OFERT

na wykonanie i dostawę oprogramowania sterującego w języku VHDL

Otwock, dnia 01.04.2015 r.

Zamawiający	Narodowe Centrum Badań Jądrowych, ul. Andrzeja Soltana 7 05-400 Otwock-Świerk Tel.: (22) 273 1583, 273 1630; e-mail: ncbj@ncbj.gov.pl , zp@ncbj.gov.pl ; www.ncbj.gov.pl
Tytuł projektu	„Coline 6”
Przedmiot zamówienia:	<p>1. Przedmiot zamówienia:</p> <p>1. Przedmiotem zamówienia jest wykonanie i dostawa oprogramowania sterującego w języku VHDL (wraz z kodem źródłowym) dla układu FPGA na posiadanej przez zamawiającego płytce PCB.</p> <p>2. Szczegółowy zakres przedmiotu zamówienia oraz jego parametry techniczne określa załącznik nr 1 do ogłoszenia.</p> <p>2. Cena oferty</p> <p>Cena oferty musi obejmować wszelkie koszty związane z realizacją przedmiotu zamówienia, w tym m. in. koszt przesyłki, podatek od towarów i usług (VAT) (jeśli nie jest to import lub dostawa wewnątrzwspólnotowa).</p> <p>3. Warunki płatności:</p> <p>Płatności będą realizowane przez Zamawiającego po wykonaniu przedmiotu zamówienia, bez zaliczek, przelewem bankowym na rachunek bankowy Wykonawcy wskazany na fakturze, do 14 dni od dnia prawidłowo wystawionej faktury oraz po uprzednim odbiorze dostawy bez zastrzeżeń. Podstawą wystawienia faktury jest podpisany przez obie strony protokół odbioru</p> <p>4. Termin wykonania zamówienia</p> <p>Termin wykonania zamówienia: do 3 tygodni od podpisania umowy.</p> <p>Niniejsze zaproszenie do składania ofert nie stanowi zobowiązania Zamawiającego do udzielenia Zamówienia.</p>
Kryterium oceny:	Zamawiający dokona wyboru oferty najkorzystniejszej wg: kryterium najniższa cena – 100%.
Miejsce składania ofert:	Ofertę należy przesłać (w jeden z niżej wskazanych sposobów): - na adres Zamawiającego 05-400 Otwock ul. Andrzeja Soltana 7, - e-mail: zp@ncbj.gov.pl (scan oferty), - faxem na nr 22 273 1630.

<p>Forma złożenia ofert:</p>	<p>1. Oferta musi być sporządzona w formie pisemnej i ma zawierać:</p> <ul style="list-style-type: none"> a) Nazwę przedmiotu zamówienia, którego złożona oferta dotyczy b) Wartość netto, VAT, cenę brutto c) Termin realizacji zamówienia e) Termin związana z ofertą.
<p>Termin złożenia ofert:</p>	<p style="text-align: center;">Do 09.04.2015 r.</p>
<p style="text-align: right;"> Dyrektora Nazwa Centrum Usług i Usług dla Administracji  mgr Marek Juszczyk (podpis Zamawiającego) </p>	

Opis przedmiotu zamówienia:

Przedmiotem zamówienia jest wykonanie oprogramowania sterującego w języku VHDL (wraz z kodem źródłowym) dla układu FPGA na posiadanej przez zamawiającego płytce PCB.

Przeznaczeniem urządzenia jest sterowanie położeniem liści kolimatora wielolistkowego (MLC – Multi Leaf Collimator). Jedna płytka PCB steruje ruchem 40 silników DC poruszających liście MLC. Odczyt położenia liści przeprowadzany jest za pomocą enkoderów umieszczonych na każdym z silników. Sterowanie pracą MLC odbywa się z płytki sterowni (nie będącej przedmiotem zamówienia). Komunikacja z płytką sterowni odbywa się za pośrednictwem interfejsu RS-422 i Ethernet.

Zamawiający posiada już działające oprogramowanie napisane w języku C. Kod źródłowy i schematy elektroniczne układu dostępne po podpisaniu umowy. Zamawiający udostępni hardware niezbędny do testów.

Zamówienie obejmuje:

1. Napisanie firmware'u FPGA.
2. Test działania oprogramowania w warunkach środowiskowych.
3. Integracja z istniejącym systemem zamawiającego.

Ogólne wymagania:

1. Możliwość utworzenia pliku binarnego do programowania FPGA kompatybilnego z posiadanym przez zamawiającego środowiskiem ISE iMPACT 14.1.
2. Projekt przygotowany w posiadanym przez zamawiającego środowisku ISE WebPACK.
3. Komunikacja z systemem zamawiającego (sterownia) przez RS-422 i Ethernet.
4. Zgodność z normami PN-EN 60601-2-1, PN-EN 60601-1.

Wymagania funkcjonalne:

1. Implementacja 40-kanalowego sterownika PID dla sterowania położeniem liści.
2. Implementacja 40-kanalowego sterownika PID dla sterowania prędkością liści.
3. Implementacja protokołu komunikacyjnego RS-422.
4. Implementacja protokołu komunikacyjnego Ethernet.
5. Implementacja komunikacji SPI z 40-kanalowym przetwornikiem cyfrowo-analogowym.
6. Implementacja funkcjonalności akwizycji danych pomiarowych z enkoderów.
7. Implementacja funkcjonalności ustawiania pozycji liści na podstawie zapamiętanych Punktów Kontrolnych (CP – Control Point).
8. Implementacja komend sterujących.

Implementacja powyższych algorytmów i protokołów na podstawie dostarczonego przez zamawiającego kodu źródłowego C (algorytmy PID oparte są na stałym przecinku).

Specyfikacja komunikacji płytki FPGA z systemem zamawiającego przez RS-422:

1. Parametry transmisji:
 - a. Baudrate 115200
 - b. Parzystość brak
 - c. Dane 8bitów

- d. Stop bit 1
 - e. Handshake brak
 - f. Full Duplex
2. Możliwość zwalniania i przejmowania magistrali w odpowiedzi na komendy.
 3. Pełna specyfikacja protokołu oraz kod źródłowy w języku C dostępne po podpisaniu umowy.

Lista komend sterujących:

- a. Adresowanie płytki (przejęcie magistrali)
- b. Wyadresowanie płytki (oddanie magistrali)
- c. Ustawienie prędkości docelowej jednego liścia
- d. Ustawienie pozycji docelowej jednego liścia
- e. Wczytanie pozycji jednego liścia
- f. Ustawienie pozycji wszystkich liści na podstawie wczytanej wartości
- g. Odczyt pozycji jednego liścia
- h. Odczyt pozycji 40 liści
- i. Ustawienie parametru członu proporcjonalnego dla sterownika PID pozycji
- j. Ustawienie parametru członu całkującego dla sterownika PID pozycji
- k. Ustawienie parametru członu różniczkującego dla sterownika PID pozycji
- l. Ustawienie parametru członu proporcjonalnego dla sterownika PID prędkości
- m. Ustawienie parametru członu całkującego dla sterownika PID prędkości
- n. Ustawienie parametru członu różniczkującego dla sterownika PID prędkości
- o. Ustawienie baudrate protokołu RS-422
- p. Start zbierania danych pomiarowych
- q. Pobranie danych pomiarowych
- r. Zatrzaśnięcie pozycji wszystkich liści
- s. Odczyt zatrzaśniętych pozycji wszystkich liści
- t. Reset położenia jednego liścia
- u. Reset położenia wszystkich liści
- v. Informacja o statusie płytki (numer błędu)
- w. Wczytanie pozycji CP dla wszystkich liści
- x. Ustawienie pozycji liści na wartość dla jednego z wczytanych CP
- y. Odczyt zapisanych CP dla wszystkich liści
- z. Ustawienie poziomu tolerancji ustawienia dla CP
- aa. Odczyt statutu dla aktualnego CP

Specyfikacja komunikacji płytki FPGA z systemem zamawiającego przez Ethernet:

1. Parametry transmisji:
 - a. Prędkość 100Mbit/s
 - b. Połączenie TCP
2. Lista komend taka sama jak dla transmisji RS-422.
3. Komunikacja oparta na posiadanym przez zamawiającego układzie scalonym WIZnet W5100.

Warunki odbioru

Przeprowadzenie testów oprogramowania, po jego uruchomieniu na kolimatorze wielolistkowym, w siedzibie Zamawiającego. Ocenie będzie podlegać zgodność z wymaganiami Zamawiającego.

W przypadku stwierdzenia, podczas testów odbiorczych, błędów w funkcjonowaniu oprogramowania lub braków w jego funkcjonalności względem specyfikacji, Wykonawca ma obowiązek usunąć braki w ciągu 2 tygodni od dnia wykonania testów odbiorczych.

Odbiór oprogramowania potwierdzony zostanie protokołem podpisanym przez Wykonawcę i Zamawiającego.

Warunki i sposób dostawy:

Kod źródłowy, dokumentacja kodu oraz skompilowane pliki binarne muszą zostać dostarczone na płycie CD lub DVD.

